

(19) 世界知的所有權機關
國際事務局



(43) 国際公開日
2004 年 6 月 24 日 (24.06.2004)

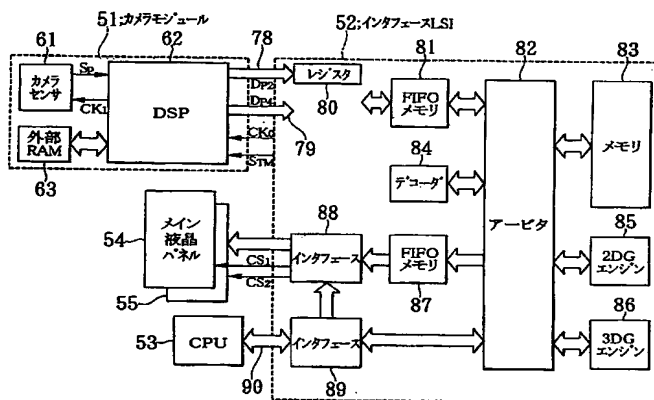
PCT

(10) 国際公開番号
WO 2004/054243 A1

- | | | |
|---|-------------------------------|--|
| (51) 国際特許分類 ⁷⁾ : | H04N 5/232 | (SHIBAYAMA,Hiroaki) [JP/JP]; 〒436-8501 静岡県 掛川市 下俣 8 0 0 番地 エヌイーシーアクセステクノ株式会社内 Shizuoka (JP). |
| (21) 国際出願番号: | PCT/JP2003/015652 | |
| (22) 国際出願日: | 2003 年12 月8 日 (08.12.2003) | (74) 代理人: 宮崎 昭夫, 外(MIYAZAKI,Teruo et al.); 〒107-0052 東京都 港区 赤坂 1 丁目 9 番 2 0 号 第 1 6 興和ビル 8 階 Tokyo (JP). |
| (25) 国際出願の言語: | 日本語 | |
| (26) 国際公開の言語: | 日本語 | (81) 指定国 (国内): CN, US. |
| (30) 優先権データ:
特願2002-356044 | 2002 年12 月6 日 (06.12.2002) JP | (84) 指定国 (広域): ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR). |
| (71) 出願人 (米国を除く全ての指定国について): 日本電気株式会社 (NEC CORPORATION) [JP/JP]; 〒108-8001 東京都 港区 芝五丁目 7 番 1 号 Tokyo (JP). | | 添付公開書類:
— 国際調査報告書 |
| (72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 柴山 博昭 | | 2 文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。 |

(54) Title: CAMERA-EQUIPPED MOBILE TERMINAL

(54) 発明の名称: カメラ付き携帯端末



51...CAMERA MODULE
61...CAMERA SENSOR
63...EXTERNAL RAM
54...MAIN LIQUID CRYSTAL PANEL
52...INTERFACE LSI
80...REGISTER
81...FIFO MEMORY

84...DECODER
88...INTERFACE
89...INTERFACE
87...FIFO MEMORY
82...ARBITER
83...MEMORY
85...2DG ENGINE
86...3DG ENGINE

(S7) Abstract: A camera-equipped mobile terminal includes an external memory (63) in a camera module. In a digital camera mode, image data (D_{P1}) is temporarily buffered in the external memory (63). After this, during an empty time between processes in a resize processing section (76) and a format conversion section (77), an encoder (74) compresses/encodes the image data from the external memory (63) into image data (D_{P2}) by time division and stores the data in the external memory (63). A CPU (53) acquires the image data (D_{P2}) from the external memory (63) as is required. In a mobile camera mode, power of the external memory (63) is turned off. The image data (D_{P1}) is temporarily buffered in an internal memory (75). After this, in the aforementioned empty time, the encoder (74) compresses/encodes the image data (D_{P1}) from the internal memory (75) into the image data (D_{P2}) by time division and stores the data in the internal memory (75). The CPU (53) acquires the image data (D_{P2}) from the internal memory (75) as is required.

〔続葉有〕

WO 2004/054243 A1



(57) 要約: このカメラ付き携帯端末は、カメラモジュール内に外部メモリ(63)を備えている。デジタルカメラモードでは、画像データ(D_{P1})が外部メモリ(63)に一旦バッファリングされた後、リサイズ処理部(76)、フォーマット変換部(77)における処理の空き時間に、エンコーダ(74)が外部メモリ(63)からの画像データを時分割で画像データ(D_{P2})に圧縮符号化した後、外部メモリ(63)に記憶する。そして、CPU(53)は、必要に応じて外部メモリ(63)から画像データ(D_{P2})を取り込む。モバイルカメラモードでは、外部メモリ(63)の電源がオフされる。そして画像データ(D_{P1})が内部メモリ(75)に一旦バッファリングされた後、前記空き時間に、エンコーダ(74)が内部メモリ(75)からの画像データ(D_{P1})を時分割で画像データ(D_{P2})に圧縮符号化した後、内部メモリ(75)に記憶する。CPU(53)、必要に応じて内部メモリ(75)から画像データ(D_{P2})を取り込む。

明細書

カメラ付き携帯端末

技術分野

本発明はカメラ付き携帯端末に関し、特に、付属のカメラによる撮影で得られた画像データを処理して表示部に表示したり、電子メールに添付して送信する機能を有するカメラ付き携帯端末に関する。

背景技術

図1は従来のカメラ付き携帯端末の要部の構成例を示している。ここで、携帯端末とは、携帯電話および簡易型携帯電話（PHS：Personal Handy-phone System）の総称である。

この例のカメラ付き携帯端末はカメラモジュール1とインタフェース2とCPU（中央処理装置）3とメイン液晶パネル4と、サブ液晶パネル5とを有している。

カメラモジュール1はカメラセンサ11とデジタル・シグナル・プロセッサ（DSP）12とを有している。カメラセンサ11は、例えば、記録解像度1280×960画素のメガピクセル（100万画素）・CMOSセンサであり、DSP12から供給される約48MHzの周波数を有するクロックCK₁に基づいて、アナログの映像赤信号、映像緑信号、映像青信号からなるアナログの映像信号S_pを出力する。

カメラセンサ11は、図2に示すように、行方向に所定間隔で設けられた960本の水平走査線13と列方向に所定間隔で設けられた1280本の垂直走査線14との交点を画素とし、各画素ごとに、フォトダイオード15と、対応するフォトダイオード15の出力電流を増幅するアンプ16とが配列されている。また、各フォトダイオード15の光入射面には、赤（R）、緑（G）、青（B）の光学フィルタ17_R、17_G、17_Bが設けられている。そして、例えば、約48MHzの周波数を有するクロックCK₁がDSP12から供給されると、垂直スキャン回路18がクロックCK₁に同期して順次垂直走査信号を発生して960本の垂直走査線14に印加することにより各垂直走査線14に接続されたアンプ16を順次活性化するとともに、水平スキャン回路19がクロック

CK₁に同期して順次水平走査信号を発生して1280本の水平走査線13の一端に接続されたMOSトランジスタ20のゲート電極に印加することにより、各フォトダイオード15から出力され、対応するアンプ16で増幅された出力電流が対応する水平走査線13を介して映像読出線21に供給された後、アンプ22で増幅され、アナログの映像赤信号、映像緑信号、映像青信号からなるアナログの映像信号S_pとして出力される。

DSP12はクロック発生ブロック(CGB: Clock Generating Block)31とアナログ/デジタル変換器(ADC: Analog Digital Converter)32とフォーマット変換ブロック(FTB: Format Transforming Block)33とを有している。CGB31は、インタフェースLSI2から供給される約24MHzの周波数を有するクロックCK₀に基づいて約48MHzの周波数を有するクロックCK₁を発生してカメラセンサ11に供給する。ADC32は、カメラセンサ11から供給されるアナログの映像赤信号、映像緑信号、映像青信号からなるアナログの映像信号S_pを1画素8ビットのデジタルの赤データR、緑データG、青データBからなるデジタルの画像データに変換してFTB33に供給する。FTB33は、RGB形式の画像データである赤データR、緑データG、青データBをYUV形式の画像データである輝度データY、輝度データYと赤データRとの色差データU、輝度データYと青データBとの色差データVからなる画像データD_pに変換して8ビット幅のバス34を介してインタフェースLSI2に供給する。この例では、画像データD_pは、輝度データYが4ビット、色差データU及びVが各々2ビットの計8ビットである。以下に、赤データR、緑データG、青データBと、輝度データY、色差データUおよびVとの一般的な変換式を示す。

$$Y = R \times 0.299 + G \times 0.587 + B \times 0.114 \quad (1)$$

$$U = 0.654 \times (B - Y) + 128 = -R \times 0.168 - G \times 0.331 + B \times 0.500 + 128 \quad (2)$$

$$V = 0.713 \times (R - Y) + 128 = R \times 0.500 - G \times 0.419 - B \times 0.081 + 128 \quad (3)$$

インタフェースLSI2はリサイズ処理ブロック(RSPB: Resize

Proceeding Block) 41 とエンコーダ・デコーダ 42 と F I F O (First in First out) メモリ 43 とアービタ 44 とメモリ 45 と 2 D G (Dimension Graphics) エンジン 46 と F I F O メモリ 47 とインタフェース 48、49 とを有している。R S P B 41 は、カメラセンサ 11 により撮影された 1 画素当たり 8 ビット、1 フレームで 1280×960 画素の画像データ D_P を、Q V G A (quarter video graphics array) と呼ばれ、解像度が 320×240 画素であるメイン液晶パネル 4 またはサブ液晶パネル 5 に表示するために、1 画素当たり 8 ビット、1 フレームで 320×240 画素の Y U V 形式の画像データ D_{PR} にリサイズ化処理を行った後、エンコーダ・デコーダ 42 および F I F O メモリ 43 に供給する。

エンコーダ・デコーダ 42 は、R S P B 41 から供給された Y U V 形式の画像データ D_{PR} を J P E G (joint photographic experts group) 形式の画像データ D_{PJ1} に圧縮符号化処理して F I F O メモリ 43 に記憶するとともに、F I F O メモリ 43 から供給された J P E G 形式の画像データ D_{PJ1} を Y U V 形式の画像データ D_{PJ2} に伸張復号処理して F I F O メモリ 45 に記憶する。ここで、J P E G 形式とは、カラー静止画像の符号化方式の標準化を進めている国際標準化機構 (I S O ; International Organization for Standardization) と国際電気通信連合の電気通信標準化部門 (I T U - T ; International Telecommunication Union-Telecommunication Standardization Sector) との合同組織で標準化された静止画像の圧縮・伸張方式を用いた画像ファイルの形式をいう。

F I F O メモリ 43 は、R S P B 41 から供給される画像データ D_{PR} またはエンコーダ・デコーダ 42 から供給される画像データ D_{PJ1} をあるクロックに同期して先入れで内部に記憶するとともに、内部に記憶された画像データ D_{PR} または画像データ D_{PJ1} を上記クロックとは非同期の別個のクロックに同期して先出しで読み出し、アービタ 44 またはエンコーダ・デコーダ 42 に供給する。アービタ 44 は、インタフェース 49 により制御され、R S P B 41、エンコーダ・デコーダ 42、2 D G エンジン 46、インタフェース 48 または 49 (これらを総称するときはデバイスという) からのメモリ 45 に対する画

像データの書き込み要求または読み出し要求を管理・調停する。メモリ 45 は、225 キロバイトの記憶容量を有し、アービタ 44 により許可されたデバイスからの画像データが書き込まれるとともに、書き込まれたデータが読み出される。

2DG エンジン 46 は、アービタ 44 の許可に基づいてメモリ 45 から読み出した画像データに対して、ビットマップの処理、直線や曲線の描画、塗りつぶしなどの処理など、2 次元的な描画処理を行う。FIFO メモリ 47 は、アービタ 44 から供給される画像データをあるクロックに同期して先入れで内部に記憶するとともに、内部に記憶された画像データを上記クロックとは非同期の別個のクロックに同期して先出しで読み出し、インタフェース 48 に供給する。インタフェース 48 は、インタフェース 49 により制御され、第 1 のチップセレクト信号 CS_1 をメイン液晶パネル 4 に供給してメイン液晶パネル 4 を活性化させつつ、アービタ 44 の許可に基づいてメモリ 45 から読み出し FIFO メモリ 47 を経た画像データをメイン液晶パネル 4 に供給するとともに、第 2 のチップセレクト信号 CS_2 をサブ液晶パネル 5 に供給してサブ液晶パネル 5 を活性化させつつ、アービタ 44 の許可に基づいてメモリ 45 から読み出し FIFO メモリ 47 を経た画像データをサブ液晶パネル 5 に供給する。インタフェース 49 は、アービタ 44 およびインタフェース 48 を制御する。

CPU 3 は、不図示のプログラムメモリに記憶されたプログラムを実行してカメラ付き携帯端末の各部を制御する。また、CPU 3 は、インタフェース 48、49 を介してメイン液晶パネル 4 およびサブ液晶パネル 5 に直接アクセスする。メイン液晶パネル 4 およびサブ液晶パネル 5 には、電池の電池残量情報、アンテナの感度情報等の携帯端末内部の情報、相手先の電話番号、電子メールの文章、相手先に送信する電子メールに添付する画像、相手先から送信された電子メールに添付された画像、WWW (World Wide Web) サーバの各種コンテンツ提供者から提供されるコンテンツを示す画像などが表示される。また、メイン液晶パネル 4 およびサブ液晶パネル 5 は、カメラモード時には、カメラファインダとして利用される他、撮影結果である画像が表示される。

なお、先行技術調査を実施した限りでは、上述した従来技術の内容が具体的

に記載された文献に関する情報は得られなかったが、従来のカメラ付き携帯端末における画像処理については、本出願人が先に提案した特願2002-035136号に開示されている。

ところで、上記した従来のカメラ付き携帯端末においては、カメラモジュール1からバス34を介してインタフェースLSI2供給される画像データD_pのデータ量は1フレーム当たり1280×960画素であり、1画素8ビットであるから、2,457,600バイトとなるため、インタフェースLSI2におけるデータ処理時間が長くなってしまう。そこで、データ処理時間を短縮するためにインタフェースLSI2で用いるクロックの周波数を高くすることが考えられるが、このクロックの周波数を高くすると、消費電流が多くなるため、バッテリーを電源として用いる携帯端末ではバッテリーの寿命が短くなり不都合である。また、インタフェースLSI2で用いるクロックの周波数を高くすると、無線信号を処理する無線制御部で用いるクロックにノイズ等の悪影響を与えてしまう場合がある。

また、上記した従来のカメラ付き携帯端末においては、インタフェースLSI2においてほとんどの画像処理を行っているが、近年のメガピクセル化によりインタフェースLSI2を構成し、これらの画像処理に用いられるメモリ45の必要とする記憶容量がますます増加する傾向がある。そこで、メモリ45をSRAMで構成することが考えられるが、インタフェースLSI2内部にSRAMを形成すると、チップ面積が大きくなるため、インタフェースLSI2の価格、ひいてはカメラ付き携帯端末の価格が上昇してしまう。

発明の開示

本発明の目的は、上述の問題点に鑑み、低い周波数のクロックおよび記憶容量の少ないメモリを用いても短いデータ処理時間でカメラから供給される高画素の画像データを処理することができるカメラ付き携帯端末を提供することにある。

本発明によるカメラ付き携帯端末は、カメラモジュールと、制御部と、表示部と、カメラモジュールと制御部および表示部との間に設けられたインタフェース部とを有している。

カメラモジュールは、記録解像度が第1の画素数であり、撮影された画像に対応した第1の形式の映像信号を出力するカメラセンサと、上記映像信号に画像処理を施すデジタル・シグナル・プロセッサと、外部メモリとを有している。

デジタル・シグナル・プロセッサは、上記映像信号を第1の画像データに変換するアナログ／デジタル変換器と、内部メモリと、第1の画像データを第2の画像データに圧縮符号化处理するエンコーダと、第1の画像データを第2の画素数を有する第3の画像データにリサイズ化するリサイズ処理部と、第3の画像データを第2の形式の第4の画像データに変換し、第4の画像データを表示部にカメラファインダ用に表示するために第1のバスを介してインタフェース部に供給するフォーマット変換部とを有している。

デジタルカメラモードでは、デジタル・シグナル・プロセッサにおいて、第1の画像データが外部メモリに一旦バッファリングされる。その後、エンコーダが、リサイズ処理部およびフォーマット変換部において処理が行われていない空き時間に、内部メモリをバッファとして、外部メモリから読み出された第1の画像データを時分割で第2の画像データに圧縮符号化处理した後、外部メモリに記憶する。制御部は、必要に応じて、外部メモリに記憶された第2の画像データを第2のバスおよびインタフェース部を介して取り込む。

モバイルカメラモードでは、外部メモリの電源がオフされ、デジタル・シグナル・プロセッサにおいて、第1の画像データが内部メモリに一旦バッファリングされる。その後、エンコーダが上記空き時間に、内部メモリをバッファとして、内部メモリから読み出された第1の画像データを時分割で第2の画像データに圧縮符号化处理した後、内部メモリに記憶する。制御部は、必要に応じて、内部メモリに記憶された第2の画像データを第2のバスおよびインタフェース部を介して取り込む。

このように、本発明では、カメラモジュール内に外部メモリを備え、デジタルカメラモード時に静止画像処理用の画像データをバッファリングするとともに、カメラファインダパスにおいて処理が行われていない空き時間に静止画像の圧縮符号化处理を行ってカメラファインダ用の画像データと静止画像処理用の画像データとをそれぞれ別のシリアルバスを介してインタフェース部に供給

する。

これにより、低い周波数のクロックおよび記憶容量の少ないメモリを用いても、カメラから供給される高画素の画像データを短いデータ処理時間で処理することができる。したがって、消費電力を削減することができるとともに、バッテリーの寿命を延ばすことができ、さらに、ノイズの発生も抑えることができる。また、インタフェースLSIおよびカメラ付き携帯端末を安価に構成することができる。

図面の簡単な説明

図1は従来のカメラ付き携帯端末の要部の構成例を示すブロック図；

図2は同端末を構成するカメラセンサ11の一部の構成例を示す回路図；

図3は本発明の一実施形態であるカメラ付き携帯端末の要部の構成を示すブロック図；

図4は同端末を構成するDSP62の構成を示すブロック図；

図5は同端末のデジタルカメラモードにおける動作を説明するためのブロック図；

図6は同端末のモバイルカメラモードにおける動作を説明するためのブロック図；

図7は同端末の各モードにおける各RAMの役割を説明するための図；

図8は各モードにおけるカメラモジュール及びインタフェースLSIの動作クロックに関する従来技術と実施例との比較を説明するための図；

図9はカメラモジュールおよびインタフェースLSIを構成するゲートのゲート数に関する従来技術と実施例との比較を説明するための図である。

発明を実施するための最良の形態

図3を参照すると、本発明の一実施形態によるカメラ付き携帯端末は、カメラモジュール51とインタフェース52とCPU53とメイン液晶パネル54とサブ液晶パネル55とを有している。

カメラモジュール51はカメラセンサ61とDSP62と外部RAM63とを有している。カメラセンサ61は、例えば、記録解像度1280×960画素のメガピクセル・CMOSセンサであり、DSP62から供給される約48

MHzの周波数を有するクロック CK_1 に基づいて、アナログの映像赤信号、映像緑信号、映像青信号からなるアナログの映像信号 S_p を出力する。カメラセンサ61の構造は、図2に示すカメラセンサ11の構造と概ね同様であるので、その説明を省略する。

DSP62は、図4に示すように、ADC71と調整回路72と外部RAMコントローラ73とエンコーダ74と内部RAM75とRSPB76とFTB77とを有している。DSP62は、動作モードに応じてインタフェースLSI52から供給される、約12MHzの周波数を有するクロック、約24MHzの周波数を有するクロック、あるいは約48MHzの周波数を有するクロックに基づいて動作する。

ADC71は、カメラセンサ51から供給されるアナログの映像赤信号、映像緑信号、映像青信号からなるアナログの映像信号 S_p を1画素8ビットのデジタルの赤データR、緑データG、青データBからなるデジタルの画像データ D_{p0} に変換して調整回路72に供給する。

調整回路72は、画像データ D_{p0} に対してホワイトバランスや露光ゲイン調整などの画像処理を施した後、画像処理後の画像データを画像データ D_{p1} として外部RAMコントローラ73およびRSPB76に供給する。

外部RAMコントローラ73は、画像データ D_{p1} を外部RAM63に一旦記憶するとともに、読み出してエンコーダ74やインタフェースLSI52に供給する。

エンコーダ74は、内部RAM75を圧縮符号化処理バッファとして用いて、外部RAMコントローラ73の制御の下に外部RAM63から読み出される画像データ D_{p1} をJPEG形式の画像データ D_{p2} に圧縮符号化処理した後、画像データ D_{p2} を外部RAM63に記憶する。

内部RAM75は、80キロバイトの記憶容量を有し、上記した圧縮符号化処理等の各種の処理の際にバッファとして用いられる。なお、JPEG形式の画像データ D_{p2} は、外部RAMコントローラ73の制御の下、外部RAM63から読み出され、シリアルバス78を介してインタフェースLSI52に供給される。シリアルバス78は、インタフェースLSI52から供給される、カ

メラによる撮像のタイミングを通知する撮像タイミング通知信号 S_{TM} のトリガにより動作を開始する。

RSPB76は、内部RAM75を用いて、1画素当たり8ビット、1フレームで 1280×960 画素の画像データ D_{P1} を1画素当たり8ビット、1フレームで 320×240 画素の画像データ D_{P3} にリサイズ化处理を行った後、画像データ D_{P3} をFTB77に供給する。

FTB77は、RGB形式（第1の形式）の画像データである赤データR、緑データG、青データBからなる画像データ D_{P3} をYUV形式（第2の形式）の画像データである輝度データY、色差データU、色差データVからなる画像データ D_{P4} に変換して16ビット幅のバス79を介してインタフェースLSI52に供給する。

図3に示す外部RAM63は、例えば、4メガバイトの記憶容量を有し、同期型DRAMのような、1メモリセル当たりの回路要素が少ないためにチップサイズが小さくて大容量であり、高速動作可能でかつ安価なメモリである。この外部RAM63は、後述するデジタルカメラモード時にはRGB形式の画像データをバッファリングするバッファの役目を果たすが、後述するモバイルカメラモード時には電源をオフすることができる機能を有している。

インタフェースLSI52は、約48MHzのクロックにより動作するものであり、レジスタ80とFIFOメモリ81とアービタ82とメモリ83とデコーダ84と2DGエンジン85と3DGエンジン86とFIFOメモリ87とインタフェース88、89とを有している。

レジスタ80には、カメラモジュール51から供給される画像データ D_{P2} が一時保持される。

FIFOメモリ81は、あるクロックに同期して、カメラモジュール51から供給される画像データ D_{P2} または画像データ D_{P4} を先入れで内部に記憶するとともに、上記クロックとは非同期の別個のクロックに同期して、内部に記憶された画像データ D_{P2} または画像データ D_{P4} を先出しで読み出し、アービタ82を介してメモリ83またはデコーダ84に供給する。

アービタ82は、インタフェース89により制御され、FIFOメモリ81、

デコーダ 84、2DGエンジン 85、3DGエンジン 86、インタフェース 88 または 89（これらを総称するときはデバイスという）からのメモリ 83 に対する画像データの書き込み要求または読み出し要求を管理・調停する。

メモリ 83 は、320 キロバイトの記憶容量を有し、アービタ 82 により許可されたデバイスからの画像データが書き込まれるとともに、書き込まれたデータが読み出される。

デコーダ 84 は、アービタ 82 の許可に基づいてメモリ 83 から読み出され、アービタ 82 を介して供給される JPEG 形式の画像データを YUV 形式の画像データに伸張復号処理してアービタ 82 を介してメモリ 83 に記憶する。

2DGエンジン 85 は、アービタ 82 の許可に基づいてメモリ 83 から読み出した画像データに対して、ビットマップの処理、直線や曲線の描画、塗りつぶしなどの処理など、2次元的な描画処理を行う。

3DGエンジン 86 は、アービタ 82 の許可に基づいてメモリ 83 から読み出した画像データに対して、所定の 3 次元グラフィックス描画関数を用いて 3 次元的な描画処理を行う。

FIFOメモリ 87 は、あるクロックに同期して、メモリ 83 から読み出され、アービタ 82 から供給される画像データを先入れで内部に記憶するとともに、上記クロックとは非同期の別個のクロックに同期して、内部に記憶された画像データを先出しで読み出し、インタフェース 88 に供給する。

インタフェース 88 は、インタフェース 89 により制御され、第 1 のチップセレクト信号 CS_1 をメイン液晶パネル 54 に供給してメイン液晶パネル 54 を活性化させつつ、アービタ 82 の許可に基づいてメモリ 83 から読み出し、FIFOメモリ 87 を経た画像データをメイン液晶パネル 54 に供給するとともに、第 2 のチップセレクト信号 CS_2 をサブ液晶パネル 55 に供給してサブ液晶パネル 55 を活性化させつつ、アービタ 82 の許可に基づいてメモリ 83 から読み出し、FIFOメモリ 87 を経た画像データをサブ液晶パネル 55 に供給する。

インタフェース 89 は、アービタ 82 およびインタフェース 88 を制御する。

CPU 53 は、インタフェース LSI 52 とは 32 ビットの高速メモリバス

90を介して接続され、不図示のプログラムメモリに記憶されたプログラムを実行して本カメラ付き携帯端末の各部を制御する。また、CPU53は、インタフェース89およびインタフェース88を介してメイン液晶パネル54およびサブ液晶パネル55に直接アクセスする。

メイン液晶パネル54およびサブ液晶パネル55は、表示画面画素が例えば、 320×240 画素であり、電池の電池残量情報、アンテナの感度情報等の携帯端末内部の情報、相手先の電話番号、電子メールの文章、相手先に送信する電子メールに添付する画像、相手先から送信された電子メールに添付された画像、WWWサーバの各種コンテンツ提供者から提供されるコンテンツを示す画像などが表示される。また、メイン液晶パネル54およびサブ液晶パネル55は、カメラモード時には、カメラファインダとして利用される他、撮影結果である画像が表示される。

次に、上記構成のカメラ付き携帯端末の動作のうち、カメラモードについて説明する。カメラモードには、モバイルカメラモードとデジタルカメラモードとがある。モバイルカメラモードとは、この例では 320×240 画素の小さいサイズの画像を撮影し保存するモードであり、撮影して得られた画像データを電子メールに添付したり、いわゆる壁紙に利用したするなど画像を手軽に楽しむことができる。デジタルカメラモードとは、この例では 1280×960 画素の大きいサイズの画像を撮影し保存するモードであり、撮影して得られた画像データはSD (Secure Digital) メモリカード（登録商標）に保存し、SDメモリカードが使用可能なパーソナルコンピュータや携帯情報端末などにより高解像度の画像を楽しむことができる。また、デジタルカメラモードでは、撮影と同時に得られた画像データをモバイルカメラモードと同じサイズの小さな画像（サムネイル）データに変換して保存することもできる。

まず、デジタルカメラモードにおける動作について図5を参照して説明する。インタフェースLSI52から約48MHzの周波数（第1の周波数）を有するクロックが供給されるDSP62に、図5に示すように、カメラセンサ61からアナログの映像信号 S_p が供給されると、図4に示すADC72は、アナログの映像信号 S_p を1画素8ビットのデジタルの画像データ D_{p0} に変換する。

この例では、カメラセンサ 11 の記録解像度が 1280×960 画素であり、1 画素当たり 8 ビットであるから、1, 228, 800 ビットのデータ量となる。上記画像データ D_{P0} は、調整回路 73 においてホワイトバランスや露光ゲイン調整などの画像処理が施された後、画像処理後の画像データが画像データ D_{P1} として、外部 RAM コントローラ 74 により制御された外部 RAM 63 に直接格納されてバッファリングされる。この一連の処理がなされるパスを静止画像処理パスと呼ぶ。この場合、外部 RAM 63 は、例えば、図 5 に示すように、1 面記憶エリア 63_a と 2 面記憶エリア 63_b とからなるダブルバッファリング構成として、画像処理におけるタイムロスを取りかき返すようにしてもよい。

また、上記画像データ D_{P1} は、メイン液晶パネル 54 およびサブ液晶パネル 55 をカメラファインダとして用いて表示されるために、RSPB 76 にも供給される。すなわち、RSPB 76 は、1 画素当たり 8 ビット、1 フレームで 1280×960 画素の画像データ D_{P1} を 1 画素当たり 8 ビット、1 フレームで 320×240 画素の画像データ D_{P3} にリサイズ化処理を行った後、画像データ D_{P3} を FTB 77 に供給する。これにより、FTB 77 は、RGB 形式の画像データである赤データ R、緑データ G、青データ B からなる画像データ D_{P3} を YUV 形式の画像データである輝度データ Y、色差データ U、色差データ V からなる画像データ D_{P4} に変換して 16 ビット幅のバス 79 を介してインタフェース LSI 52 に供給する。これにより、画像データ D_{P4} は、インタフェース LSI 52 を経てメイン液晶パネル 54 またはサブ液晶パネル 55 に供給されて表示される。この一連の処理がなされるパスをカメラファインダパスと呼ぶ。

一方、カメラファインダパスにおいて処理が行われていない空き時間では、エンコーダ 74 は、約 12 MHz のクロックにより動作して、内部 RAM 75 を圧縮符号化処理バッファとして用いて、外部 RAM コントローラ 73 の制御の下に外部 RAM 63 から読み出される画像データ D_{P1} を時分割で JPEG 形式の画像データ D_{P2} に圧縮符号化処理した後、外部 RAM 63 の空き記憶エリアに記憶する。通常、この処理は、カメラファインダパスにおいて 3 フレー

ム分の画像を処理している期間の空き時間に1フレーム分の静止画像を圧縮符号化処理することができるように設計する。なお、上記したタイミングで圧縮符号化処理が実行できない場合には、約12MHzのクロックの周波数を位相同期ループ(PLL; Phase Locked Loop)回路により逡倍して用いればよい。

以上説明した圧縮符号化処理が終了すると、その旨がインタフェースLSI52に通知され、さらにCPU53に通知される。これにより、CPU53は、外部RAM63に記憶された画像データ D_{p2} をインタフェース52を構成するレジスタ80を介して必要とするタイミングで取り込むことができ、分散処理を実現することができる。また、CPU53は、カメラファインダ用の画像データ D_{p4} に関与することはないので、その負担が軽減される。

次に、モバイルカメラモードにおける動作について、図6を参照して説明する。この場合、外部RAM63は電源がオフされ、非動作状態となる。図6において外部RAM63が破線で表されているのは、非動作状態であること意味している。インタフェースLSI52から約12MHzの周波数(第2の周波数)を有するクロックが供給されるDSP62において、図6に示すように、カメラセンサ61からアナログの映像信号 S_p が供給されると、図4に示すADC72は、アナログの映像信号 S_p を1画素8ビットのデジタルの画像データ D_{p0} に変換する。上記画像データ D_{p0} は、調整回路73においてホワイトバランスや露光ゲイン調整などの画像処理が施された後、画像処理後の画像データが画像データ D_{p1} として、圧縮符号化処理に用いられるために内部RAM75にバッファリングされるとともに、RSPB76に供給される。これにより、RSPB76は、上記画像データ D_{p1} 、すなわち、1画素当たり8ビット、1フレームで1280×960画素の画像データ D_{p1} を、1画素当たり8ビット、1フレームで320×240画素の画像データ D_{p3} にリサイズ化処理を行った後、画像データ D_{p3} を内部RAM75に格納することによりバッファリングするとともに、FTB77に供給する。したがって、FTB77は、RGB形式の画像データである赤データR、緑データG、青データBからなる画像データ D_{p3} をYUV形式の画像データである輝度データY、色差データU、色差データVからなる画像データ D_{p4} に変換して16ビット幅のバス79を介して

インタフェースLSI52に供給する。これにより、画像データ D_{P4} は、インタフェースLSI52を経てメイン液晶パネル54またはサブ液晶パネル55に供給されて表示される。この一連の処理がなされるパスをカメラファインダパスと呼ぶ。

一方、カメラファインダパスにおいて処理が行われていない空き時間では、エンコーダ74は、約12MHzのクロックにより動作して、内部RAM75を圧縮符号化処理バッファとして用いて、内部RAM75の他の記憶エリアから読み出される画像データ D_{P1} を時分割でJPEG形式の画像データ D_{P2} に圧縮符号化処理した後、内部RAM75の空き記憶エリアに記憶する。通常、この処理は、カメラファインダパスにおける処理の3フレーム分に相当するように予め設定しておき、カメラファインダパスでの処理において3フレーム分の画像をメイン液晶パネル54またはサブ液晶パネル55に表示している間に1フレーム分の静止画像を処理することができるように設計する。なお、上記したタイミングで圧縮符号化処理が実行できない場合には、約12MHzのクロックの周波数をPLL回路により逡倍して用いればよい。

以上説明した圧縮符号化処理が終了すると、その旨がインタフェースLSI52に通知され、さらにCPU53に通知される。これにより、CPU53は、内部RAM75に記憶された画像データ D_{P2} をインタフェース52を構成するレジスタ80を介して必要とするタイミングで取り込むことができ、分散処理を実現することができる。また、CPU53は、カメラファインダ用の画像データ D_{P4} に関与することはないので、その負担が軽減される。

ここで、図7に、以上説明したこの例のカメラ付き携帯端末のモバイルカメラモードとデジタルカメラモードにおける内部RAM75と外部RAM63の役割およびインタフェースLSI52のクロックについて示す。すなわち、モバイルカメラモードでは、処理すべき画像データの画素数が 320×240 画素と少なく、また供給されるクロックの周波数も低いため、外部RAM63を非動作状態として消費電力を低減した状態であっても、内部RAM75だけを用いて十分に画像処理を行うことができる。これに対し、デジタルカメラモードでは、処理すべき画像データの画素数が 1280×960 画素と多く、また

供給されるクロックの周波数も高いため、外部RAM 63をフレームバッファ及びデータバッファとして用いて画像処理を行うとともに、内部RAM 75を圧縮符号化処理バッファとしてのみ用いて画像処理を行うことにより分散処理を実現している。

このように、本実施形態では、カメラモジュール51に外部RAM 13を設け、デジタルカメラモード時に静止画像処理用の画像データ D_{P2} をバッファリングするとともに、カメラファインダパスにおいて処理が行われていない空き時間に静止画像の圧縮符号化処理を行ってカメラファインダ用の画像データ D_{P4} と静止画像処理用の画像データ D_{P2} とをそれぞれ別のシリアルバス78およびバス79を介してインタフェースLSI 52に供給している。

これにより、膨大な画像データの圧縮符号化処理を、リアルタイムであることを要求されることなく実行することができるとともに、CPU 53の負荷が分散される。また、優先順位の高いカメラファインダパスにおける処理を確実に実行することができる。さらに、CPU 53の負荷が分散されるので、圧縮符号化処理をリアルタイム性を損なうことなく完全に行うことができる。

この結果、低い周波数のクロックをカメラモジュール51に供給するとともに、インタフェースLSI 52を構成するメモリ83の記憶容量が少ない場合であっても、短いデータ処理時間でカメラモジュール51からインタフェースLSI 52に供給される高画素の画像データを処理することができる。したがって、携帯端末の消費電力を低減することができ、バッテリーの寿命を延ばすことができる。また、インタフェースLSI 52で用いるクロックの周波数が低いので、高周波数に起因するノイズ等の悪影響を防止することができる。

ここで、図8に、モバイルカメラモードおよびデジタルカメラモードにおけるカメラモジュールおよびインタフェースLSIの動作クロックに関する従来技術と実施形態との比較結果を示す。図8から分かるように、本実施形態においては、いずれのモードにおいてもインタフェースLSI 52の動作クロックの周波数は約48MHzであるが、図1に示す従来技術において本実施形態と同等の機能を発揮するためには、インタフェースLSI 2の動作クロックの周波数は約200MHzでなければならない。これにより、従来技術ではノイズ

の悪影響が出てしまう。

また、図9に、カメラモジュールおよびインタフェースLSIを構成するゲートのゲート数に関する従来技術と実施形態との比較結果を示す。図9から分かるように、カメラモジュールについては、本実施形態において外部RAM63を設けるため、ゲート数が若干増加しているが、インタフェースLSIについては、本実施形態のゲート数が従来技術のゲート数の約1/6となる。これは、本実施形態においては、静止画像データの圧縮符号化処理をカメラモジュール51内部で行い、インタフェースLSI52においてはその分メモリ使用の競合が少なく、メモリ83の記憶容量を320キロバイトに抑えることができるからである。この結果、本実施形態におけるカメラモジュールおよびインタフェースLSIの合計のゲート数は従来技術のその約半分になっている。これにより、インタフェースLSI52のチップ面積が大幅に削減され、インタフェースLSI52の価格、ひいてはカメラ付き携帯端末の価格を下げることができる。

以上、本発明の実施形態を図面を参照して詳述してきたが、具体的な構成は本実施形態に限られるものではなく、本発明の要旨を逸脱しない範囲で、種々の変更、変形が可能である。

例えば、上述の実施形態においては、カメラセンサ61は、赤(R)、緑(G)、青(B)の光学フィルタ17_R、17_G、17_Bを用いることによりアナログの映像赤信号、映像緑信号、映像青信号からなるアナログの映像信号S_pを出力する例を示した。しかし、これに限定されない。カメラセンサ61は、例えば、赤(R)、緑(G)、青(B)の3原色の補色にあたる黄色、マゼンタ、シアンさらには緑の光学フィルタを用いることによりアナログの映像黄色信号、映像マゼンタ信号、映像シアン信号、さらには映像緑信号からなるアナログの映像信号を出力するように構成してもよい。

また、上述の実施形態においては、カメラセンサ61がCMOSセンサである例を示した。しかし、これに限定されず、カメラセンサ61はCCD(Charge Coupled Device)センサであってもよい。

また、上述の実施形態においては、メイン液晶パネル54およびサブ液晶パ

ネル55の両方を設ける例を示した。しかし、これに限定されず、いずれか一方のみを設けるようにしてもよい。さらに、カメラ付き携帯端末の表示部は、液晶パネルに限らず、有機EL (electroluminescence) パネル、プラズマディスプレイパネル (PDP : Plasma Display Panel) でもよい。

また、上述の実施形態においては、デジタルカメラモード時にインタフェースLSI52からカメラモジュール51に約48MHzの周波数を有するクロックを供給する例を示した。しかし、これに限定されず、デジタルカメラモード時にインタフェースLSI52からカメラモジュール51に約12MHzまたは約24MHzの周波数を有するクロックを供給するように構成してもよい。この場合、外部RAM63において予め指定した回数ごとにフレームの画像データ D_{P1} をバッファリングせず、指定されたフレームの画像データ D_{P1} を順次外部RAM63に記憶し、エンコーダ74が圧縮符号化処理を行うようにしてもよい。

また、上述の実施形態においては、デジタルカメラモード時に、外部RAM63を1面記憶エリア63_aおよび2面記憶エリア63_bからなるダブルバッファリング構成とする例を示した。しかし、これに限定されず、外部RAM63を3面、4面、5面の複数のフレームバッファ構成にしてもよい。

また、上述の実施形態においては、圧縮符号化処理は、1フレームごとに行う例を示したが、これに限定されない。例えば、静止画像を連続して撮影する連写が要求された場合には、CPU53があるフレームの圧縮符号化された画像データ D_{P2} を取り込んでいる間に、次のフレームの画像データ D_{P1} の外部RAM63へのバッファリングを開始することにより、完全にリアルタイム性を損なうことなく、圧縮符号化処理された静止画像データ D_{P2} をCPU53が取り込むことができ、静止画像の連写も実現することができる。

また、上述の実施形態においては、JPEG形式の静止画像データを処理する例を示した。しかし、これに限定されず、PNG (Portable Network Graphics) 形式の静止画像データやGIF (Graphics Interchange Format) 形式の静止画像データを処理するように構成してもよい。

また、上述の実施形態においては、DSP62に調整回路72を設ける例を

示したが、調整回路 72 を設けなくてもよい。

また、上述の実施形態においては、画像データ D_{P2} はカメラモジュール 51 からシリアルバス 78 を介してインタフェース LSI 52 に供給される例を示した。しかし、画像データ D_{P2} はカメラモジュール 51 からパラレルのバスを介してインタフェース LSI 52 に供給されるように構成してもよい。

また、上述の実施形態においては、静止画像データを処理する例を示したが、動画像データを処理するように構成してもよい。動画像データの形式としては、例えば、MPEG (Moving Picture Expert Group) 4 形式などがある。デジタルカメラモードにおいてこの動画像データを処理する場合、一旦外部 RAM 63 に複数フレームごとに記憶された動画像データ D_{P1} が順次読み出され、圧縮符号化処理された動画像データ D_{P2} が順次外部 RAM 63 の空きエリアに記憶される。圧縮符号化処理が終了すると、動画像データ D_{P2} のキーフレームごとにその旨がインタフェース LSI 52、さらには CPU 53 に通知される。これにより、CPU 53 は、必要とするタイミングで外部 RAM 63 に記憶された動画像データ D_{P2} を、インタフェース 52 を構成するレジスタ 80 を介して取り込むことができる。また、このような処理の代わりに、動画像データ D_{P2} をストリーム・データとしてインタフェース LSI 52 に供給する専用のバスを設けて、CPU 53 が要求した際に供給するストリーミング供給モードを備えるようにしてもよい。この場合、インタフェース LSI 52 の内部に動画像データ D_{P2} を取り込むための FIFO メモリを設けて、CPU 53 が別のタスク処理を実行しているなどのために、動画画像データ D_{P2} を取り込むことができない場合であっても、動画像データ D_{P2} を喪失することのないような構成にすることが必要である。

請求の範囲

1. カメラモジュールと、制御部と、表示部と、前記カメラモジュールと前記制御部および前記表示部との間に設けられたインタフェース部とを有し、

前記カメラモジュールは、記録解像度が第1の画素数であり、撮影された画像に対応した第1の形式の映像信号を出力するカメラセンサと、前記映像信号に画像処理を施すデジタル・シグナル・プロセッサと、モバイルカメラモードでは、電源がオフされる外部メモリとを有し、

前記デジタル・シグナル・プロセッサは、前記映像信号を第1の画像データに変換するアナログ/デジタル変換器と、内部メモリと、前記第1の画像データを第2の画像データに圧縮符号化処理するエンコーダと、前記第1の画像データを第2の画素数を有する第3の画像データにリサイズ化するリサイズ処理部と、前記第3の画像データを第2の形式の第4の画像データに変換し、前記第4の画像データを前記表示部にカメラファインダ用に表示するために第1のバスを介して前記インタフェース部に供給するフォーマット変換部とを有し、

前記エンコーダは、デジタルカメラモードでは、前記第1の画像データが前記外部メモリに一旦バッファリングされた後、前記リサイズ処理部および前記フォーマット変換部において処理が行われていない空き時間に、前記内部メモリをバッファとして、前記外部メモリから読み出された前記第1の画像データを時分割で前記第2の画像データに圧縮符号化処理した後、前記外部メモリに記憶し、モバイルカメラモードでは、前記第1の画像データが前記内部メモリに一旦バッファリングされた後、前記空き時間に、前記内部メモリをバッファとして、前記内部メモリから読み出された前記第1の画像データを時分割で前記第2の画像データに圧縮符号化処理した後、前記内部メモリに記憶し

前記制御部は、デジタルカメラモードでは、必要に応じて前記外部メモリに記憶された前記第2の画像データを第2のバスおよび前記インタフェース部を介して取り込み、モバイルカメラモードでは、必要に応じて前記内部メモリに記憶された前記第2の画像データを前記第2のバスおよび前記インタフェース部を介して取り込む
カメラ付き携帯端末。

2. 前記外部メモリは前記デジタルカメラモードでは複数のバッファリング構成である、請求項1記載のカメラ付き携帯端末。

3. 前記エンコーダは、前記デジタルカメラモードおよび前記モバイルカメラモードでは、前記リサイズ処理部および前記フォーマット変換部において3フレーム分の画像を処理している期間の空き時間に、1フレーム分の画像を圧縮符号化処理をする、請求項1記載のカメラ付き携帯端末。

4. 前記デジタル・シグナル・プロセッサは、前記デジタルカメラモードおよび前記モバイルカメラモードで、静止画像を連続して撮影する連写が要求された場合、前記制御部があるフレームの前記第2の画像データを取り込んでいる間に、次のフレームの前記第2の画像データの前記外部メモリへのバッファリングを開始する、請求項1に記載のカメラ付き携帯端末。

5. 前記デジタル・シグナル・プロセッサは、前記デジタルカメラモードで動画データ进行处理する場合、一旦前記外部メモリに複数フレームごとに記憶された前記第1の画像データを順次読み出し、前記エンコーダにより圧縮符号化処理された前記第2の画像データを順次前記外部メモリに記憶し、前記圧縮符号化処理が終了すると、前記第2の画像データのキーフレームごとに圧縮符号化処理が終了した旨を前記インタフェース部および前記制御部に通知する、請求項1から3のいずれか1に記載のカメラ付き携帯端末。

6. 前記デジタル・シグナル・プロセッサは、前記デジタルカメラモードで動画データ进行处理する場合には、前記カメラモジュールと前記インタフェース部との間に、前記動画データをストリーム・データとして前記インタフェース部に供給する専用バスを有し、前記制御部が要求した際に前記第2の画像データを供給するストリーミング供給モードを有する、請求項1から3のいずれか1に記載のカメラ付き携帯端末。

7. 前記インタフェース部は、前記動画データを取り込むための先入れ先出しメモリを有する、請求項6記載のカメラ付き携帯端末。

図 1

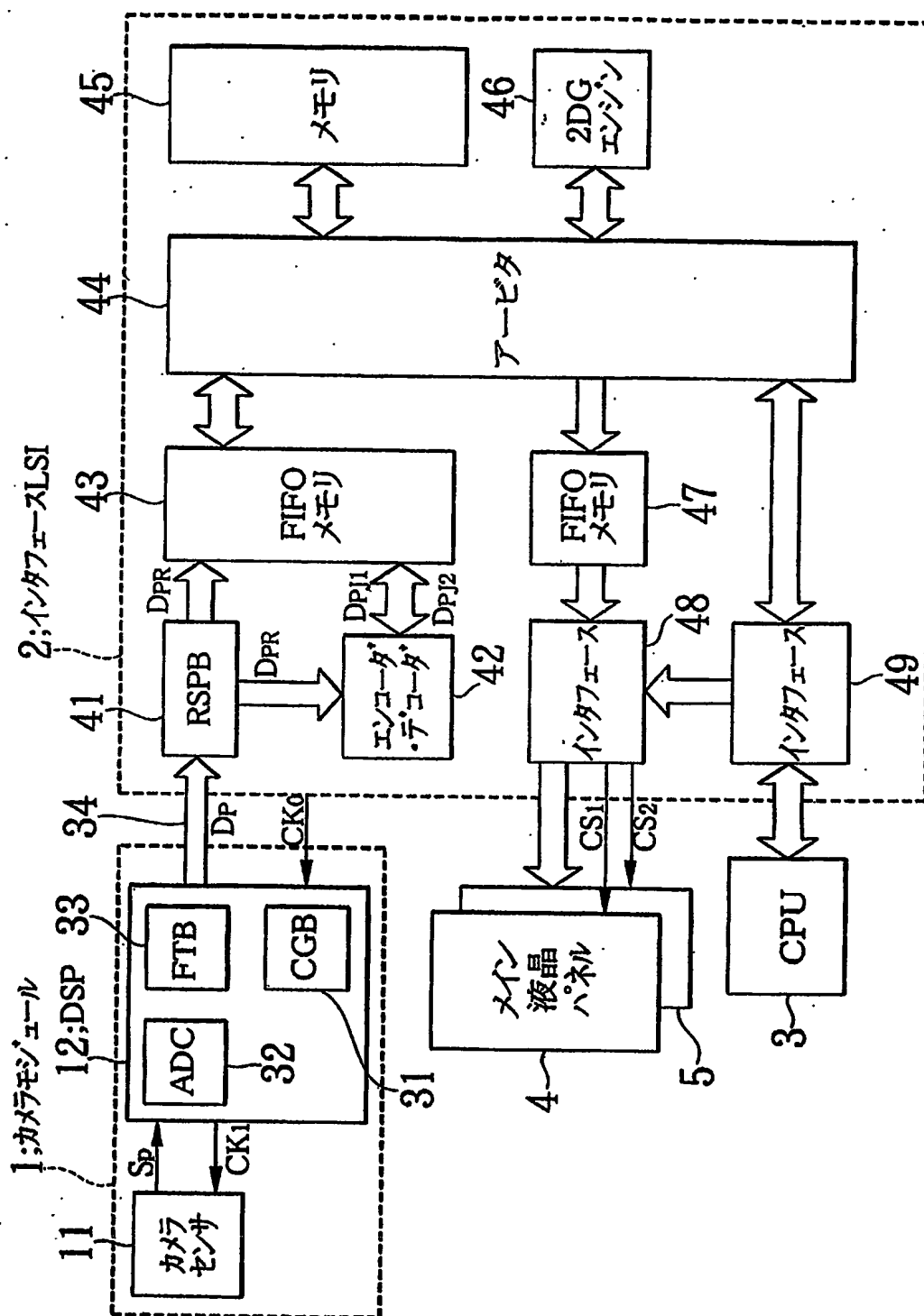


図 2

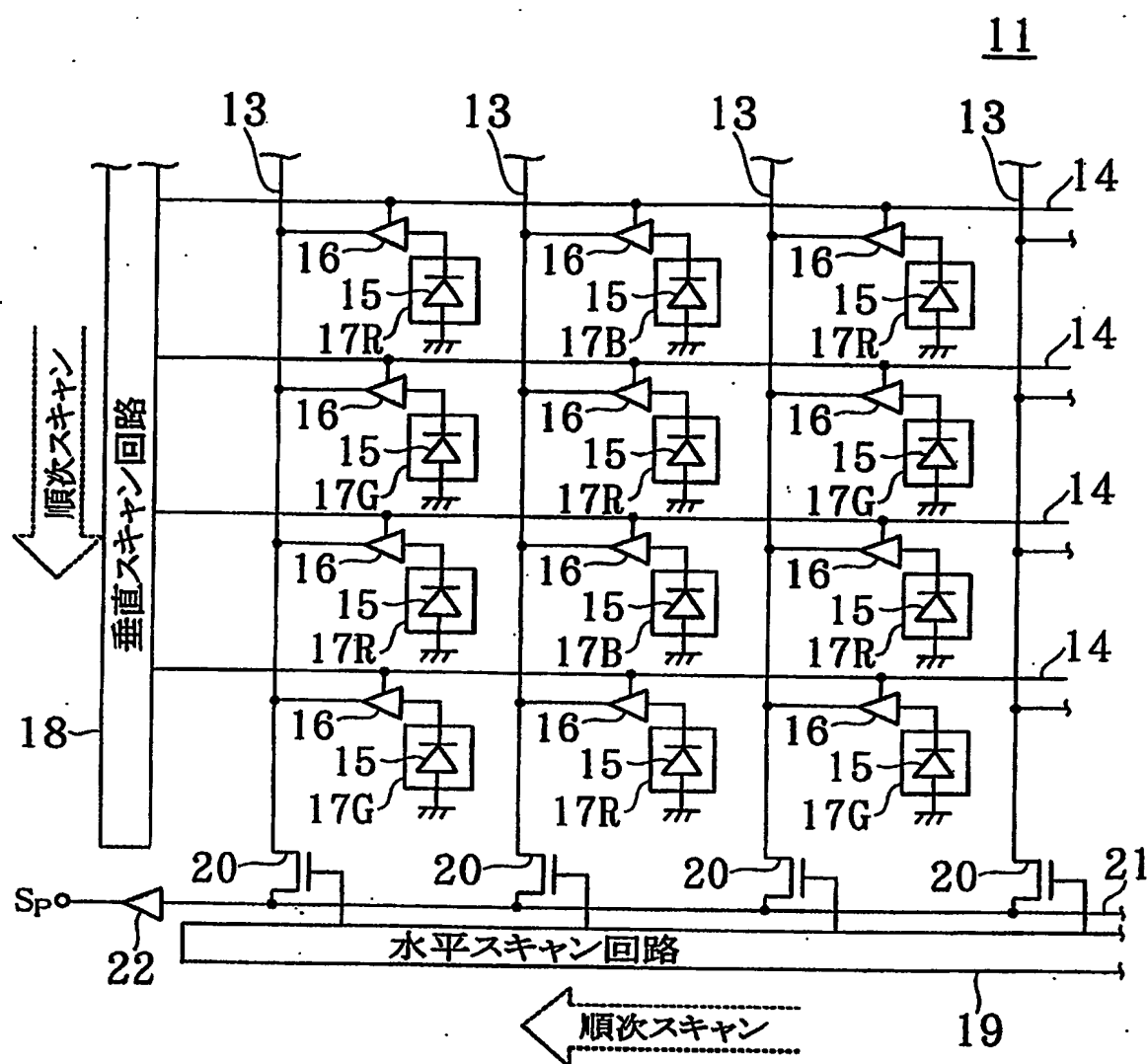


図 3

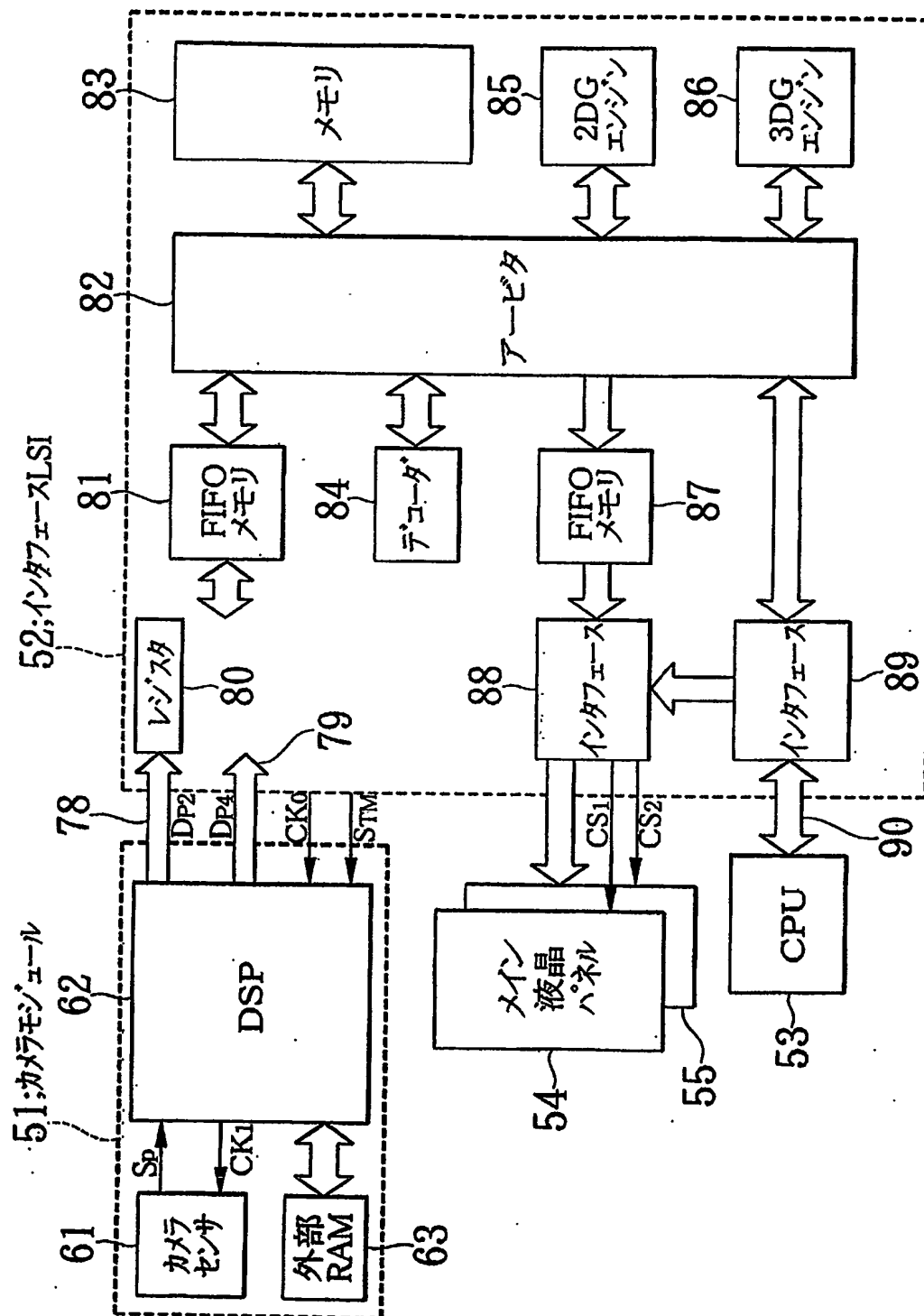


図 4

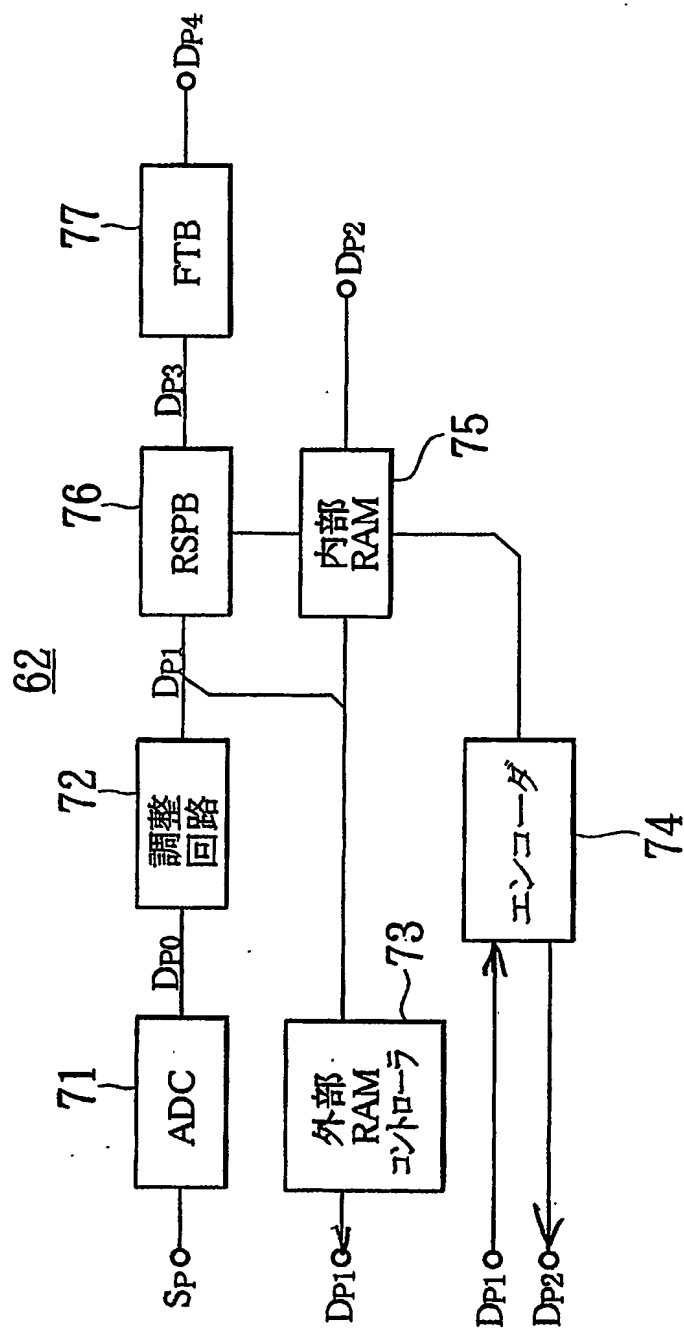


図 5

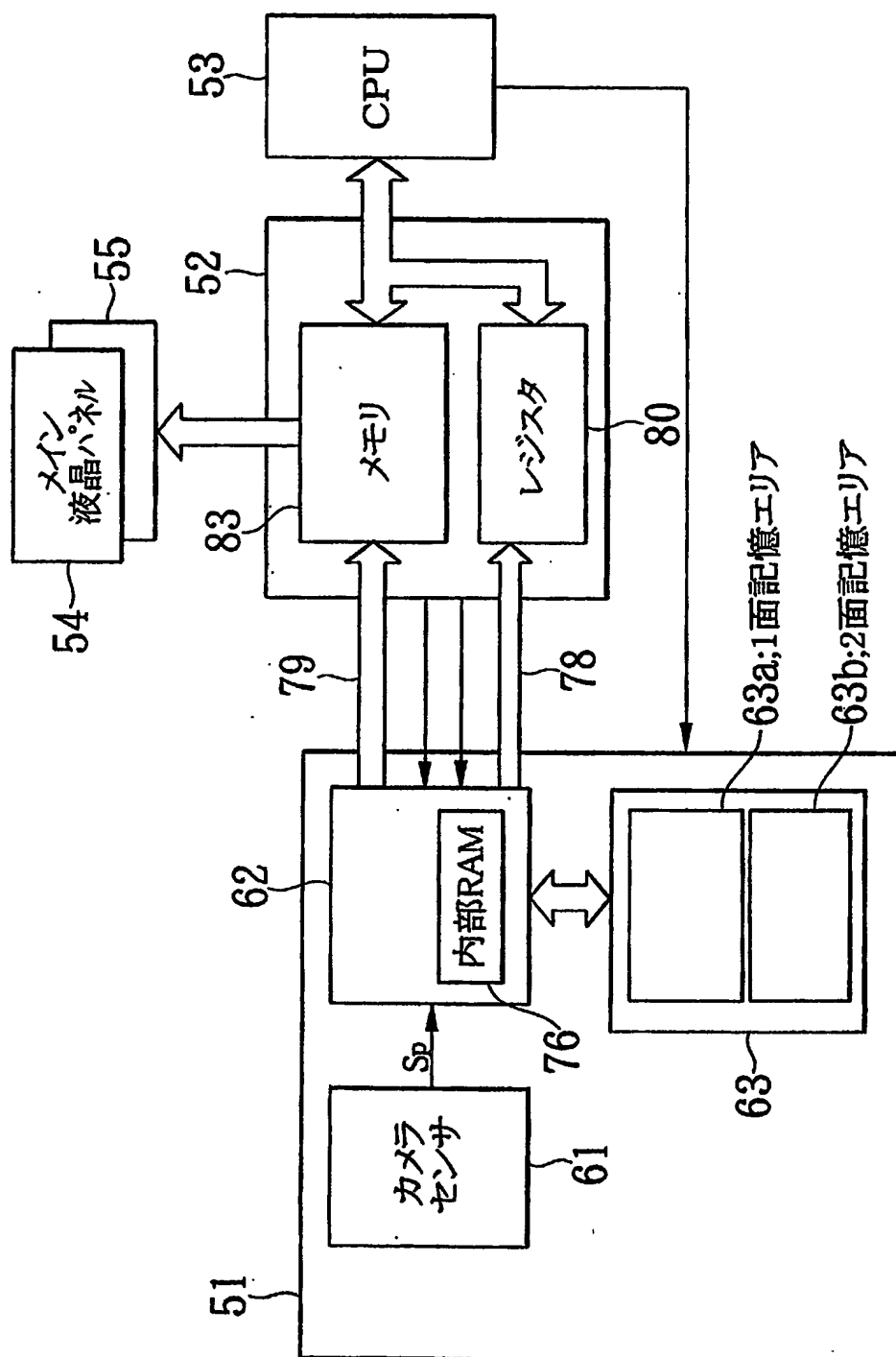


図 6

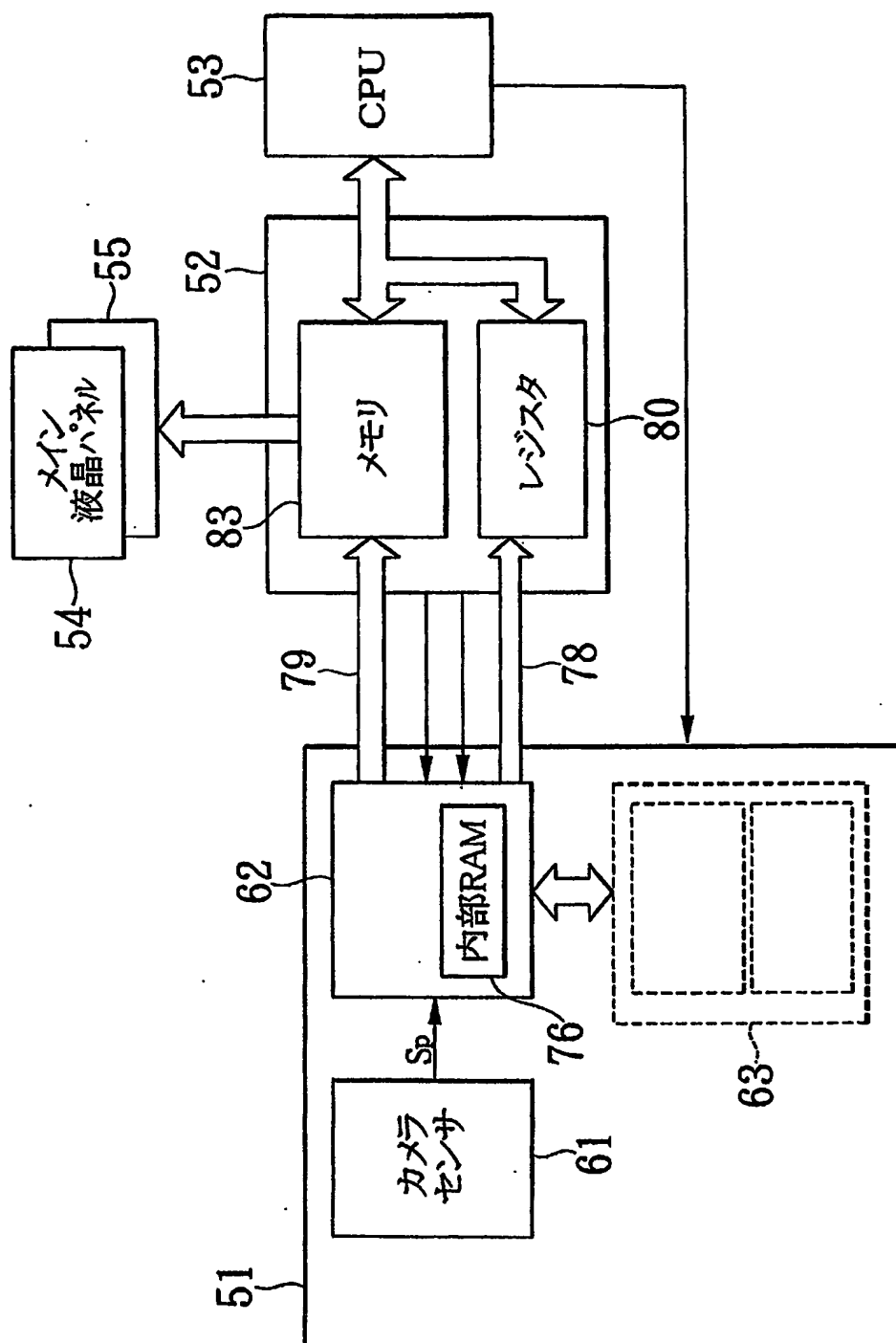


図 7

モード	カメラモジュール			インタフェースLSI
	画素数	内部RAMの役割	外部RAMの役割	
モバイル カメラ モード	320×240	圧縮符号化処理バッファ フレームバッファ データバッファ	非動作状態	<ul style="list-style-type: none"> ・48MHzのクロックで動作 ・カメラモジュールへ12MHzのクロックを供給
デジタル カメラ モード	1280×960	圧縮符号化処理バッファ	フレームバッファ データバッファ	<ul style="list-style-type: none"> ・48MHzのクロックで動作 ・カメラモジュールへ48MHzのクロックを供給

図 8

モード	画素数	回路	従来技術	実施例
モバイル カメラ モード	320×240	カメラ モジュール	約48MHzの クロック入力	約12MHzの クロック入力
		インタ フェース LSI	約200MHzの クロックで動作	約48MHzの クロックで動作
デジタル カメラ モード	1280×960	カメラ モジュール	約48MHzの クロック入力	約48MHzの クロック入力
		インタ フェース LSI	約200MHzの クロックで動作	約48MHzの クロックで動作

図 9

	ゲート数	
	従来技術	実施例
カメラ モジュール	約2,000	約2,200
インタ フェース LSI	約3,000	約500
合計	約5,000	約2,700

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/15652

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H04N5/232

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H04N5/222-5/257

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2004
Kokai Jitsuyo Shinan Koho	1971-2004	Toroku Jitsuyo Shinan Koho	1994-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2001-238190 A (Canon Inc.), 31 August, 2001 (31.08.01), Full text (Family: none)	1-7
P,A	JP 2003-101890 A (Sharp Corp.), 04 April, 2003 (04.04.03), Full text (Family: none)	1-7
P,A	JP 2003-111012 A (Olympus Optical Co., Ltd.), 11 April, 2003 (11.04.03), Full text (Family: none)	1-7

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:
 "A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier document but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
10 March, 2004 (10.03.04)

Date of mailing of the international search report
23 March, 2004 (23.03.04)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/15652

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
E, A	JP 2004-007436 A (Casio Computer Co., Ltd.), 08 January, 2004 (08.01.04), Full text (Family: none)	1-7
P, A	JP 2003-037808 A (Casio Computer Co., Ltd.), 07 February, 2003 (07.02.03), Full text (Family: none)	1-7
P, A	JP 2002-330472 A (Canon Inc.), 15 November, 2002 (15.11.02), Full text (Family: none)	1-7

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ H04N 5/232

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ H04N 5/222-5/257

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2004年
 日本国実用新案登録公報 1996-2004年
 日本国登録実用新案公報 1994-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2001-238190 A (キヤノン株式会社) 2001. 08. 31、全文 (ファミリーなし)	1-7
PA	JP 2003-101890 A (シャープ株式会社) 2003. 04. 04、全文 (ファミリーなし)	1-7
PA	JP 2003-111012 A (オリンパス光学工業株式会 社) 2003. 04. 11、全文 (ファミリーなし)	1-7

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」 口頭による開示、使用、展示等に言及する文献
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

10. 03. 2004

国際調査報告の発送日

23. 3. 2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

菅原 道晴

5P

8725

電話番号 03-3581-1101 内線 3580

C (続き). 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
EA	JP 2004-007436 A (カシオ計算機株式会社) 2004. 01. 08、全文 (ファミリーなし)	1-7
PA	JP 2003-037808 A (カシオ計算機株式会社) 2003. 02. 07、全文 (ファミリーなし)	1-7
PA	JP 2002-330472 A (キヤノン株式会社) 2002. 11. 15、全文 (ファミリーなし)	1-7